

**Family list**

6 family members for:

**JP10247735**

Derived from 5 applications.

- 1 MANUFACTURE OF SEMICONDUCTOR DEVICE**  
Publication info: JP3032801B2 B2 - 2000-04-17  
JP10247735 A - 1998-09-14
- 2 MANUFACTURE OF SEMICONDUCTOR DEVICE**  
Publication info: JP10303430 A - 1998-11-13
- 3 Method of manufacturing a semiconductor device**  
Publication info: TW379360 B - 2000-01-11
- 4 Method of manufacturing a semiconductor device**  
Publication info: US6165824 A - 2000-12-26
- 5 Method of manufacturing a semiconductor device**  
Publication info: US6479333 B1 - 2002-11-12

---

Data supplied from the *esp@cenet* database - Worldwide

**BEST AVAILABLE COPY**

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

012136320      \*\*Image available\*\*

WPI Acc No: 1998-553232/199847

Related WPI Acc No: 1999-052080

XRPX Acc No: N98-431987

Production method for semiconductor device e.g. TFT - involves forming horizontal growth area, from which added catalyst is removed or reduced, from gettering area of catalyst after forming phosphorous addition area on insulating film and crystalline film

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: NAKAJIMA S; OHNUMA H; OHTANI H; TAKANO T; YAMAZAKI S

Number of Countries: 004    Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10247735	A	19980914	JP 9765406	A	19970303	199847 B
KR 98080057	A	19981125	KR 987819	A	19980303	200004
<b>JP 3032801</b>	B2	20000417	JP 9765406	A	19970303	200024
TW 379360	A	20000111	TW 98102984	A	19980302	200046
US 6165824	A	20001226	US 9834041	A	19980303	200103

Priority Applications (No Type Date): JP 9765406 A 19970303; JP 97123089 A 19970426

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10247735	A		10	H01L-029/786	
KR 98080057	A			H01L-029/786	
JP 3032801	B2	11		H01L-029/786	Previous Publ. patent JP 10247735
TW 379360	A			H01L-021/00	
US 6165824	A			H01L-021/00	

Abstract (Basic): JP 10247735 A

The method begins by selectively forming an insulating film (104), with an opening (105), on a non-crystal silicon film (103). A catalyst is held or added selectively through the opening of the insulating film to encourage crystallisation of silicon. Heat processing is then performed to convert the non-crystal film into a crystalline film. Phosphorous is then selectively added to the crystalline film as a mask on the insulating film, forming a phosphorous addition area (110).

A horizontal growth area (111), from which the catalyst is removed or reduced, is formed from the gettering area of the catalyst in the phosphorous addition area.

ADVANTAGE - Can be processed at low temperature. Economical with improved output and yield due to simplified manufacturing process. Forms semiconductor device with superior electrical property and high reliability. Dwg.1/7

Title Terms: PRODUCE; METHOD; SEMICONDUCTOR; DEVICE; TFT; FORMING;

HORIZONTAL; GROWTH; AREA; ADD; CATALYST; REMOVE; REDUCE; GETTER; AREA; CATALYST; AFTER; FORMING; PHOSPHOROUS; ADD; AREA; INSULATE; FILM; CRYSTAL ; FILM

Index Terms/Additional Words: THIN; FILM; TRANSISTOR

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/322; H01L-021/336

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05964635     \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:     10-247735 [JP 10247735 A]

PUBLISHED:     September 14, 1998 (19980914)

INVENTOR(s):   TAKANO YOSHIE

                 OTANI HISASHI

                 YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.:     09-065406 [JP 9765406]

FILED:           March 03, 1997 (19970303)

INTL CLASS:     [6] H01L-029/786; H01L-021/336; H01L-021/322

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096  
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC  
MATERIALS -- Metal Oxide Semiconductors, MOS)

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a technique for effectively removing or reducing catalyst which promotes the crystallization of silicon.

SOLUTION: An insulating film 104 with an opening 105 is formed on an amorphous film 103 which contains silicon. Catalytic element is introduced through the opening 105 to turn the amorphous film 103 crystalline. After the amorphous film 103 is crystallized, an element selected out of an XV group is introduced into the crystallized film 103 through the insulating film 104 as a mask for the formation of a phosphorus-doped region 110. The region 110 is made to serve as a gettering site, so that a laterally grown region 111 where catalytic element is removed or reduced can be obtained.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3032801号  
(P3032801)

(45) 発行日 平成12年 4 月17日 (2000. 4. 17)

(24) 登録日 平成12年 2 月18日 (2000. 2. 18)

(51) Int.Cl.<sup>7</sup> 識別記号H 0 1 L 29/786  
21/322  
21/336

F I

H 0 1 L 29/78 6 2 7 G  
21/322 R  
29/78 6 2 7 Z

請求項の数 7 (全 11 頁)

(21) 出願番号 特願平9-65406

(22) 出願日 平成 9 年 3 月 3 日 (1997. 3. 3)

(65) 公開番号 特開平10-247735

(43) 公開日 平成10年 9 月14日 (1998. 9. 14)

審査請求日 平成11年 9 月 7 日 (1999. 9. 7)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 高野 圭恵  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 大谷 久  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】 珪素を含む非晶質膜上に絶縁膜を選択的に形成し、

前記絶縁膜をマスクとして前記珪素を含む非晶質膜に該珪素を含む非晶質膜の結晶化を助長する触媒元素を選択的に保持または添加し、

加熱処理により前記珪素を含む非晶質膜の一部を結晶化して珪素を含む結晶性膜を形成し、

前記絶縁膜をそのままマスクとして前記珪素を含む結晶性膜に周期表の 1 5 族から選ばれた元素を選択的に保持または添加し、

加熱処理により前記周期表の 1 5 族から選ばれた元素を保持または添加した領域に前記触媒元素を移動させる過程を含むことを特徴とする半導体装置の作製方法。

【請求項 2】 珪素を含む非晶質膜上に絶縁膜を選択的に

形成し、

前記絶縁膜をマスクとして前記珪素を含む非晶質膜に該珪素を含む非晶質膜の結晶化を助長する触媒元素を選択的に保持または添加し、

加熱処理により前記珪素を含む非晶質膜の一部を結晶化して珪素を含む結晶性膜を形成し、

前記絶縁膜をそのままマスクとして前記珪素を含む結晶性膜に周期表の 1 5 族から選ばれた元素を選択的に保持または添加し、

10 加熱処理により前記周期表の 1 5 族から選ばれた元素を保持または添加した領域に前記触媒元素を移動させる過程を含み、

前記触媒元素を選択的に保持または添加した領域と前記周期表の 1 5 族から選ばれた元素を保持または添加した領域とは同一の領域であることを特徴とする半導体装置

の作製方法。

【請求項3】請求項1または請求項2において、前記触媒元素としてNi、Co、Fe、Pd、Pt、Cu、Auから選ばれた元素が用いられることを特徴とする半導体装置の作製方法。

【請求項4】請求項1または請求項2において、前記周期表の15族から選ばれた元素としてP、N、As、Sb、Biから選ばれた元素が用いられることを特徴とする半導体装置の作製方法。

【請求項5】請求項1または請求項2において、前記周期表の15族から選ばれた元素の添加は、イオンプラントレーション法またはプラズマドーピング法により行われることを特徴とする半導体装置の作製方法。

【請求項6】請求項5において、前記周期表の15族から選ばれた元素は $5 \times 10^{13} \sim 2 \times 10^{17}$  atoms/cm<sup>2</sup>の濃度で添加されることを特徴とする半導体装置の作製方法。

【請求項7】請求項1または請求項2において、前記触媒元素の移動は500～700℃で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は半導体薄膜を利用した半導体装置の作製方法に関する技術であり、特に珪素を含む結晶性膜を利用した薄膜トランジスタ（Thin Film Transistor: TFT）の作製方法に関する。

【0002】なお、本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、電気光学装置やそれを搭載した電子デバイス等も半導体装置の範疇に含まれる。

【0003】

【従来の技術】近年、ガラス基板等の上にTFTを形成して半導体回路を構成する技術が急速に進んでいる。その様な半導体回路としてはアクティブマトリクス型液晶表示装置の様な電気光学装置が代表的である。

【0004】アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノシリック型表示装置である。また、さらにメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【0005】この様なドライバー回路やロジック回路は高速動作を行う必要があるため、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いることは不適当である。そのため、現状では結晶性珪素膜（ポリシリコン膜）を活性層としたTFTが主流になりつつある。

【0006】本発明者らは、ガラス基板上に結晶性珪素膜を得るための技術として特開平8-78329号公報記載の技術を開示している。同公報記載の技術は、非晶質珪素膜に対して結晶化を助長する触媒元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広

がる結晶性珪素膜を形成するものである。

【0007】この技術は触媒元素の作用により非晶質珪素膜の結晶化温度を50～100℃も引き下げることが可能であり、結晶化に要する時間も1/5～1/10にまで低減することができる。また、珪素膜の結晶化は基板面とほぼ平行に横方向へと進行するため、本発明者らはこの結晶化領域を横成長領域と呼んでいる。

【0008】横成長領域は直接的には触媒元素を添加していないので、直接的に添加した場合と比べて膜中に残留する触媒元素が少ないという特徴がある。例えば、直接的に添加した場合には10<sup>19</sup>オーダーで触媒元素が含まれるが、横成長領域の場合には10<sup>18</sup>オーダーと1桁少ない。

【0009】

【発明が解決しようとする課題】ところで上記触媒元素としてはニッケル、コバルト、スズなどの金属元素が用いられる。このような金属元素は珪素膜中に深い準位を形成してキャリアを捕獲するため、TFTの電気特性や信頼性に悪影響を及ぼすことが懸念される。この問題は上述の横成長領域でも例外ではない。

【0010】従って、結晶化後は触媒元素を速やかに除去するか、または電気特性に影響しない程度にまで低減することが望ましい。しかしながら、従来のハコゲン元素による金属元素のゲッタリング効果を利用した方法は、800℃以上の高温処理が必要となるため、触媒元素を用いた低温プロセスの特徴を効果的に生かすことができない。

【0011】本発明は上記問題点を鑑みて成されたものであり、低温プロセスの特徴を生かしたまま結晶性珪素膜中から触媒元素を除去または低減するための技術を提供することを課題とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明の構成は、珪素を含む非晶質膜上に絶縁膜を選択的に形成し、前記絶縁膜をマスクとして前記珪素を含む非晶質膜に該珪素を含む非晶質膜の結晶化を助長する触媒元素を選択的に保持または添加し、加熱処理により前記珪素を含む非晶質膜の一部を結晶化して珪素を含む結晶性膜を形成し、前記絶縁膜をそのままマスクとして前記珪素を含む結晶性膜に周期表の15族から選ばれた元素を選択的に保持または添加し、加熱処理により前記周期表の15族から選ばれた元素を保持または添加した領域に前記触媒元素を移動させる過程を含むことを特徴とする。

【0013】また、他の発明の構成は、珪素を含む非晶質膜上に絶縁膜を選択的に形成し、前記絶縁膜をマスクとして前記珪素を含む非晶質膜に該珪素を含む非晶質膜の結晶化を助長する触媒元素を選択的に保持または添加し、加熱処理により前記珪素を含む非晶質膜の一部を結晶化して珪素を含む結晶性膜を形成し、前記絶縁膜をそのままマスクとして前記珪素を含む結晶性膜に周期表の

15族から選ばれた元素を選択的に保持または添加し、加熱処理により前記周期表の15族から選ばれた元素を保持または添加した領域に前記触媒元素を移動させる過程を含み、前記触媒元素を選択的に保持または添加した領域と前記周期表の15族から選ばれた元素を保持または添加した領域とは同一の領域であることを特徴とする。

【0014】本発明の基本的な目的は、珪素を含む非晶質膜の結晶化に使用した触媒元素を結晶性膜中から除去することであり、そのための手段として周期表の15族から選ばれた元素によるゲッターリング効果を利用する。

【0015】上記触媒元素としてはNi（ニッケル）、Co（コバルト）、Fe（鉄）、Pd（パラジウム）、Pt（白金）、Cu（銅）、Au（金）が代表的である。本発明者らの実験では、ニッケルが最も適した元素であることが判明している。

【0016】また、上記触媒元素をゲッターリングする周期表の15族から選ばれた元素としては、N（窒素）、P（リン）、As（砒素）、Sb（アンチモン）、Bi（ビスマス）が挙げられるが、特に顕著な作用効果を示すのはリンである。

【0017】典型的な例としては、触媒元素としてニッケル、ゲッターリング元素（周期表の15族から選ばれた元素）としてリンを使用した場合、600℃前後の加熱処理によってリンとニッケルが安定な結合状態を示す。この時、Ni<sub>3</sub>P、Ni<sub>2</sub>P、Ni<sub>3</sub>P<sub>2</sub>、Ni<sub>2</sub>P<sub>2</sub>、Ni<sub>2</sub>P<sub>3</sub>、Ni<sub>3</sub>P<sub>2</sub>、Ni<sub>2</sub>P<sub>3</sub>という結合状態をとりうる。

【0018】以上の様に、珪素を含む非晶質膜の結晶化を助長する触媒元素としてニッケルを使用した場合、周期表の15族から選ばれた元素であるリンの作用によってニッケルをゲッターリングすることが可能である。この効果を利用することで結晶性膜中から触媒元素を除去または低減することができる。

【0019】また、本発明において最も特徴的な構成は、

(1) 非晶質膜に対して選択的に絶縁膜（マスク）を設けて触媒元素を保持または添加することで横成長領域と呼ばれる結晶性膜を形成する。

(2) 上記マスクをそのまま活用して周期表の15族から選ばれた元素を保持または添加し、横成長領域に残留する触媒元素をゲッターリングする。という2点である。

【0020】即ち、非晶質膜の結晶化に際して特開平8-78329号公報記載の技術を利用し、結晶化後の結晶性膜上に残存する絶縁膜を、周期表の15族から選ばれた元素を選択的に保持または添加するためのマスクとして再利用する。

【0021】従って、触媒元素を保持または添加する領域と周期表の15族から選ばれた元素を保持または添加する領域とは同一の領域となる。

【0022】

【発明の実施の形態】絶縁表面を有する基板上に珪素を含む非晶質膜（例えば非晶質珪素膜）103を形成し、その上に絶縁膜104を設ける。この絶縁膜104は、後の触媒元素（例えばニッケル）を選択的に添加または保持する工程においてマスクとして利用するため、所定の位置に複数の開口部105を有している。

【0023】次に、触媒元素含有層106を形成し、結晶化のための加熱処理を行うことで結晶性膜でなる横成長領域108を得る。この時、触媒元素の添加領域107も結晶性膜となる。

【0024】結晶化が終了したら、触媒元素の添加工程に利用したマスク絶縁膜104をそのままマスクとして再利用して周期表の15族から選ばれた元素の添加工程を行う。従って、触媒元素の添加領域107と周期表の15族から選ばれた元素の添加領域とは同一の領域となる。

【0025】そして、加熱処理を行うことで横成長領域108に残留した触媒元素を移動させ、周期表の15族から選ばれた元素を添加した領域107にゲッターリングさせる。こうして、横成長領域108に残留する触媒元素が除去または低減される。

【0026】

【実施例】〔実施例1〕

本発明を利用して結晶性膜でなる活性層を形成するまでの作製工程例についての図1を用いて説明する。なお、触媒元素としてはニッケル、ゲッターリングのための元素としてはリンを例とする。

【0027】まず、ガラス基板101を用意し、その上に酸化珪素膜でなる下地膜102を200 nmの厚さに形成する。なお、ガラス基板の代わりに石英基板、シリコン基板、セラミックス基板等を用いても良い。

【0028】次に、非晶質珪素膜103をプラズマCVD法または減圧CVD法を用いて10~75nm（好ましくは15~45nm）の厚さに形成する。なお、非晶質珪素膜以外にも珪素を含む非晶質半導体膜、例えばSi<sub>1-x</sub>Ge<sub>x</sub>（0<x<1）を用いることもできる。

【0029】次に、非晶質珪素膜103の結晶化工程を行う。詳細な条件は特開平8-78329号公報に記載してある。

【0030】まず、非晶質珪素膜103上に酸化珪素膜でなるマスク絶縁膜104を50~150 nmの厚さに成膜する。そして、マスク絶縁膜104をパターニングして後にニッケルを添加する領域に開口部105を設ける。

（図1（A））

【0031】次に、酸素雰囲気中でUV光を照射することにより極薄い酸化珪素膜（図示せず）を開口部105の底部に露出した非晶質膜表面に形成する。この工程は次に溶液を塗布する際に濡れ性を改善する効果がある。そして、重量換算で100ppmのニッケルを含有した酢酸ニッケル塩溶液を滴下し、スピンコート法により薄いニッ

ケル含有層106を形成する。(図1(B))

【0032】図1(B)に示す状態が得られたら、窒素、酸素、または水素雰囲気中で500~700℃(代表的には550~650℃)の温度で4~8hrの加熱処理を行い、非晶質珪素膜103の結晶化を行う。(図1

(C))

【0033】この時、結晶化後の珪素膜は、(1)ニッケルの添加領域107(結晶性膜)、(2)横成長領域108(結晶性膜)、(3)横成長が及ばなかった領域109(非晶質膜)の三つの領域に分類される。本発明が活性層として利用するのは(2)の横成長領域である。

【0034】こうして結晶性珪素膜でなる横成長領域108が得られる。結晶化直後の横成長領域には約 $5 \times 10^{13}$  atoms/cm<sup>2</sup>の濃度でニッケルが残留していることがSIMS(質量二次分析)で確認されている。なお、ここでいうニッケル濃度はSIMS分析による測定値の最小値で定義される。

【0035】次に、ニッケル添加工程で利用したマスク絶縁膜104をそのまま再利用してゲッタリング工程のためのパイオンを添加する。パイオンの添加はイオンブランテーション法またはプラズマドーピング法によれば良い。

【0036】前者はパイオンのみを質量分離して添加するのに対し、後者は質量分離を行わずにパイオンを含む化合物イオンも添加する点で異なる。なお、本実施例ではコストパフォーマンスの有利なプラズマドーピング法を用いる。本実施例ではプラズマドーピング用のガスとしてはPH<sub>3</sub>(フォスフィン)を利用しているので、ゲッタリング効果を阻害する様な元素は混入しない。

【0037】本実施例のドーピング工程は加速電圧を5~25kVとし、ドーズ量を $1 \times 10^{13}$ ~ $8 \times 10^{13}$  atoms/cm<sup>2</sup>とすれば良い。この様な設定とすることで、パイオンの添加領域(以下、リン添加領域と呼ぶ)110には $5 \times 10^{13}$ ~ $2 \times 10^{14}$  atoms/cm<sup>2</sup>の濃度でパイオンが添加される。(図1(D))

【0038】本実施例の構成では、リン添加領域とニッケル添加領域とが同一の領域となる。即ち、上述の濃度を設定したのは、パイオン濃度をリン添加領域110に含まれるニッケル濃度( $1 \times 10^{13}$ ~ $5 \times 10^{13}$  atoms/cm<sup>2</sup>程度)よりも1桁程度高く設定することが望まれるからである。

【0039】パイオンの添加工程が終了したら、窒素雰囲気中で500~700℃(代表的には600℃)、2~4hrの加熱処理を行い、横成長領域108に残留していたニッケルをリン添加領域110の方へと移動させる。こうしてパイオンによりニッケル濃度が低減された横成長領域111が得られる。(図1(E))

【0040】以上の様にして、横成長領域108に残留していたニッケルはリン添加領域(ニッケル添加領域と

も言える)110にゲッタリングされ、横成長領域108から除去または低減される。本発明者らのSIMS分析によれば、横成長領域111に含まれるニッケル濃度は $1 \times 10^{13}$  atoms/cm<sup>2</sup>以下(好ましくは $5 \times 10^{12}$  atoms/cm<sup>2</sup>以下)にまで低減されていることが確認されている。

【0041】ここで図2に示すデータはSIMS分析によるニッケルの深さ方向の濃度プロファイルの代表的な例である。横軸は深さを表し、縦軸はニッケル濃度を表している。なお、サンプルとした結晶性珪素膜は50nmの厚さである。

【0042】図2においてAで示されるデータはパイオンを添加した領域を測定した結果であり、図1(E)の107で示される領域に相当する。この領域はゲッタリングサイトとして機能するため $5 \times 10^{13}$  atoms/cm<sup>2</sup>以上の濃度でニッケルが検出される。

【0043】また、Bで示されるデータは横成長領域を測定した結果であり、図1(E)の108で示される領域に相当する。この横成長領域には予備実験の段階では $5 \times 10^{13}$  atoms/cm<sup>2</sup>の濃度でニッケルが残留していたが、ゲッタリング工程によって $5 \times 10^{13}$  atoms/cm<sup>2</sup>以下にまで低減されていることが判る。

【0044】なお、深さ0.0~0.02μmまでは時折フラットになるが、これは今回の測定における検出下限界を意味しており、実際には $1 \times 10^{13}$  atoms/cm<sup>2</sup>以下にまで低減されていると予想される。

【0045】以上の様なゲッタリング工程を終了したら、マスク絶縁膜104を除去し、結晶性膜と非晶質膜とが混在する珪素膜をパターニングする。この時、リン添加領域412は完全に除去することが望ましいが、少なくともチャネル形成領域となる部分は横成長領域111で構成する。

【0046】なお、後にソース/ドレイン領域となる部分は、ニッケル濃度を上回る濃度でパイオンを添加することで十分に機能させることができる。従って、場合によってはリン添加領域412がソース/ドレイン領域に含まれても構わない。

【0047】以上の様にして横成長領域111のみで構成される活性層(島状の半導体層)112が完成する。本実施例に示す構成とすることで、結晶化を助長するニッケルを大幅に低減した結晶性珪素膜を得ることができる。(図1(F))

【0048】また、ニッケルを添加する際に利用したマスク絶縁膜をパイオンを添加する際に再利用するので、新たにパイオン添加工程のためのマスクを設ける必要がない。従って、製造プロセスが簡略化され、製造歩留り、スループットが向上して経済的な優れた効果が得られる。

【0049】〔実施例2〕

本実施例では実施例1においてゲッタリングのための加熱処理を行う前にレーザーアニールを行う構成について

説明する。

【0050】レーザーアニールは瞬間的に珪素を溶融できる程度にまで温度を高めることができる。特に、パルスレーザーの場合、珪素膜は1  $\mu$ s以下の短い時間に急激な相変化を起こすので、熱力学的に不安定な状態となる。この状態ではニッケルが移動しやすく、ゲッターリングを容易に行うことが可能となる。

【0051】これを利用して、レーザー光を照射した後でファーンেসアニールを行う構成とすると効果的にニッケルをゲッターリングできるので有効である。ただし、マスクとなる絶縁膜を介してアニールするため、最適な処理条件（レーザー光の波長、エネルギー強度等）を実験的に決定しておく必要がある。

【0052】レーザー光としてはK<sub>2</sub>F、ArF、XeCl等を励起ガスとするエキシマレーザー、CO<sub>2</sub>レーザーおよびYAGレーザー等を利用することができる。

【0053】〔実施例3〕

実施例1ではゲッターリングのための加熱処理としてファーンেসアニールを行う例を示したが、本実施例ではランプアニールを利用する例を示す。

【0054】ランプアニールによる加熱処理としてはRTA（ラピッド・サーマル・アニール）が知られている。これはハニオンランプ等を用いた赤外光を試料に対して照射し、薄膜を加熱する技術である。

【0055】実施例1における加熱処理にRTAを利用すると、700~1100℃という高温アニール処理を数秒から数分と短い時間で処理することができる。従って、ファーンেসアニールよりも高温処理ができるので触媒元素のゲッターリング効果が向上する。また、処理時間もはるかに短いのでスループットも大幅に向上する。

【0056】さらに、700~1100℃という高い温度による加熱処理によって結晶性珪素膜の結晶粒界付近に存在する珪素原子の再配列がなされ、結晶粒界の不活性化が促進する。即ち、不対結合手の如き結晶欠陥が大幅に減少してキャリアが捕獲される可能性が低くなり、全体的な結晶性が著しく改善される。

【0057】〔実施例4〕

実施例1ではPイオンを添加するための手段としてイオンランテーション法またはプラズマドーピング法を用いる例を示したが、本実施例では気相法を利用する場合の例について説明する。

【0058】本実施例では、図1（D）に示す状態において基板をPH<sub>3</sub>ガス中に曝し、CVD法によりPイオンを含む薄膜を堆積する。この時、ゲッターリングサイトとなる領域（図1（D）の107で示される領域）の表面のみに上記薄膜が保持された状態となる。そして、この状態で加熱処理を行うことでPイオンによるニッケルのゲッターリングを行うことができる。

【0059】〔実施例5〕

実施例4は気相法を用いる例を示したが、本実施例では

液相法を用いる場合の例について説明する。

【0060】本実施例では、図1（D）に示す状態においてPSG（リンシリケートガラス）を成膜する。成膜方法は溶液塗布によるスピンコート法を用いる。この場合も実施例3と同様にゲッターリングサイトとなる領域

（図1（D）の107で示される領域）の表面のみに上記薄膜が保持された状態となる。そして、この状態で加熱処理を行うことでPSG中に含まれたPイオンによりニッケルがゲッターリングされる。

10 【0061】〔実施例6〕

本実施例ではNチャネル型TFTとPチャネル型TFTとを補的に組み合わせるCMOS回路を作製する工程例について説明する。

【0062】図3（A）において、301はガラス基板、302は下地膜、303はNチャネル型TFTの活性層、304はPチャネル型TFTの活性層である。活性層303、304は実施例1で説明した作製工程に従って作製する。

【0063】次に、プラズマCVD法または減圧熱CVD法により酸化珪素膜を150 nmの厚さに成膜し、ゲイト絶縁膜305を形成する。（図3（A））

【0064】次に、アルミニウムを主成分とする金属膜を成膜し（図示せず）、パターニングによって後のゲイト電極の原型を形成する。次いで、本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報記載の技術を利用することで多孔質状の陽極酸化膜306、307、緻密な陽極酸化膜308、309、ゲイト電極310、311が形成される。

【0065】次に、ゲイト電極310、311、多孔質状の陽極酸化膜306、307をマスクとしてゲイト絶縁膜305をエッチングし、ゲイト絶縁膜312、313を形成する。そしてその後、多孔質状の陽極酸化膜306、307を除去する。こうしてゲイト絶縁膜312、313の端部が露出した状態となる。（図3（B））

【0066】次に、N型を付与する不純物イオンをイオンランテーション法またはプラズマドーピング法を用いて2回に分けて添加する。本実施例では、まず1回目の不純物添加を高加速電圧で行い、n<sup>+</sup>領域を形成する。

【0067】この時、加速電圧が高いので不純物イオンは露出した活性層表面だけでなく露出したゲイト絶縁膜の端部の下にも添加される。このn<sup>+</sup>領域は後のLDD領域（不純物濃度は1×10<sup>13</sup>~1×10<sup>15</sup> atoms/cm<sup>2</sup>程度）となる様にドーズ量を設定する。

【0068】さらに、2回目の不純物添加を低加速電圧で行い、n<sup>+</sup>領域を形成する。この時は加速電圧が低いのでゲイト絶縁膜がマスクとして機能する。また、このn<sup>+</sup>領域は後のソース/ドレイン領域となるのでシート抵抗が500  $\Omega$ 以下（好ましくは300  $\Omega$ 以下）となる様に



調節する。

【0069】以上の工程を経て、Nチャネル型TFTのソース領域314、ドレイン領域315、低濃度不純物領域316、チャネル形成領域317が形成される。なお、この状態ではPチャネル型TFTの活性層もNチャネル型TFTの活性層と同じ状態となっている。(図3(C))

【0070】次に、Nチャネル型TFTを覆ってレジストマスク318を設け、P型を付与する不純物イオンの添加を行う。この工程も前述の不純物添加工程と同様に2回に分けて行う。ただし、この場合にはN型をP型に反転される必要があるため前述のNチャネル型TFTの工程よりも2〜3倍程度の不純物イオンを添加しなくてはならない。

【0071】この様にして、Pチャネル型TFTのソース領域319、ドレイン領域320、低濃度不純物領域321、チャネル形成領域322が形成される。(図3(D))

【0072】以上の様にして活性層が完成したら、フアーネスアニール、レーザーアニールまたはランプアニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。

【0073】次に、層間絶縁膜323を500nmの厚さに形成する。層間絶縁膜323としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜のいずれか或いはそれらの積層膜を用いることができる。

【0074】そして、コンタクトホールを形成してソース配線324、325、ドレイン配線326を形成して図3(E)に示す状態を得る。最後に、水素雰囲気中で熱処理を行い全体を水素化してCMOS回路が完成する。

【0075】本実施例で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。この様なインバータ回路を組み合わせたことでNAND回路、NOR回路の様な基本論理回路を構成したり、さらに複雑なロジック回路をも構成することができる。

【0076】また、以上の様にして形成したTFTはチャネル形成領域317、322やその両端の接合部にニッケル等の触媒元素を殆ど含まないため、その様な触媒元素が電気特性に悪影響を与えることがない。従って、信頼性の高いTFT、CMOS回路、さらには半導体回路を構成することが可能である。

【0077】〔実施例7〕

本実施例では本発明をボトムゲート型TFTに適用する一例として、逆スタガ型TFTに適用する場合の例について説明する。

【0078】図4(A)において、401はガラス基板、402は下地膜、403は導電性材料でなるゲイト電極、404はゲイト絶縁膜、405は非晶質珪素膜、

406は後の触媒元素の添加工程でマスクとなる絶縁膜である。また、マスク絶縁膜406には開口部407が設けられている。

【0079】なお、後の結晶化工程やゲッタリング工程をフアーネスアニールで行う場合には500〜700℃の加熱処理が行われるので、その温度に耐えうる材料をゲイト電極403として使用する必要がある。勿論、レーザーアニールやランプアニールを用いるのであれば使用可能な材料の選択幅は広がる。

【0080】そして、実施例1と同様のスピコート法により触媒元素(本実施例もニッケルを例にとる)を含有した層408を形成する。(図4(A))

【0081】次に、結晶化のための加熱処理を行い、結晶性珪素膜でなる横成長領域409を形成する。なお、410は結晶性珪素膜でなるニッケル添加領域、411は結晶化に至らなかった非晶質領域である。(図4(B))

【0082】次に、ニッケルをゲッタリングするための元素(本実施例もリンを例にとる)を添加する。この時、ニッケル添加領域410のみにPイオンが添加されて、リン添加領域412が形成される。(図4(C))

【0083】次に、ゲッタリングのための加熱処理を行い、リン添加領域412に向かってニッケルを移動させてゲッタリングする。こうして、ニッケルが $5 \times 10^{17}$  atoms/cm<sup>2</sup>以下にまで除去または低減された横成長領域413が形成される。(図4(D))

【0084】次に、マスクとなった絶縁膜406を除去し、横成長領域413をパターニングして活性層414を形成する。そして、活性層414上に窒化珪素膜をパターニングして形成されるチャネルストッパー415を設ける。(図4(E))

【0085】図4(E)の状態が得られたら、N型を呈する結晶性珪素膜を形成してパターニングを施し、ソース領域416およびドレイン領域417とを形成する。さらに、ソース配線418、ドレイン配線419を形成する。そして、最後に全体の水素化を行って図4(F)に示す逆スタガ型TFTが完成する。

【0086】この様に、絶縁ゲイト型の半導体装置であれば、その構造に拘わらず本発明を適用することが可能である。

【0087】〔実施例8〕

本実施例では本発明を適用したTFTを用いて電気光学装置を構成する場合の例を示す。なお、本実施例ではアクティブマトリクス型液晶表示装置に適用する例を示すが、他にもアクティブマトリクス型のEL表示装置、EC表示装置等に用いることもできる。

【0088】、図5に示すのはアクティブマトリクス型液晶表示装置の断面を簡略化した図であり、ドライバー回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFT

を示している。

【0089】なお、実施例6でCMOS回路の構造(TFT構造)に関する説明を既に行ったので、本実施例では必要な箇所のみを説明することにする。

【0090】まず、実施例6に示したCMOS回路の作製工程に従って、図5の左側のCMOS回路を完成する。この時、画素TFTの構造はCMOS回路を構成するTFTと基本的には同一構造である。勿論、画素TFTのみマルチゲート構造にしたり、LDD領域の長さを変えたりすることもできるが、その場合は実施者が必要に応じて変更すれば良い。

【0091】CMOS回路の上には有機性樹脂膜でなる層間絶縁膜501が設けられ、その上にはブラックマスク502が配置される。なお、本実施例ではブラックマスク502を画素マトリクス回路の上方のみに設けているが、CMOS回路の上方に設ける構成としても良い。

【0092】ブラックマスク502上には再び層間絶縁膜503が設けられ、コンタクトホールを設けて画素電極504が配置される。画素電極504は反射型表示装置の場合にはアルミニウム膜の如き反射膜を、透過型表示装置の場合にはITOの如き透明導電膜を用いれば良い。そして、最上層に配向膜505を設けてアクティブマトリクス基板を構成する。アクティブマトリクス基板とはTFTが配置された側の基板を指す。

【0093】また、506は対向基板、507は透明導電膜でなる対向電極、508は対向側の配向膜である。この様な構成の対向基板と上述のアクティブマトリクス基板との間に液晶層509を挟持して図5に示すアクティブマトリクス型液晶表示装置が構成される。

【0094】また、アクティブマトリクス型液晶表示装置の外観を図6に簡略化して示す。図6において、601はガラス基板、602は下地膜、603は画素マトリクス回路、604はソースドライバ回路、605はゲートドライバ回路、606はコジック回路である。

【0095】コジック回路606は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するためにそれ以外の回路を指している。

【0096】〔実施例9〕

本実施例では、本発明を適用しうる半導体装置の一例として実施例8で示した様な電気光学装置を用いた応用製品について図7を用いて説明する。本発明を利用した半導体装置としてはビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0097】図7(A)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005

に適用することができる。

【0098】図7(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明を表示装置2102に適用することで大幅に装置の低価格化が図れる。

【0099】図7(C)はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。本発明は表示装置2202に適用することができる。

【0100】図7(D)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304に適用することができる。

【0101】図7(E)はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明は表示装置2402に適用することができる。

【0102】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0103】

【発明の効果】本発明を用いることで結晶化を助長する触媒元素を利用して得た結晶性膜中から触媒元素を効率的に除去または低減することができる。また、この処理はガラスの耐熱温度以下で行われるので、低温プロセスを踏襲することができる。

【0104】また、触媒元素の添加工程で使用するマスクと、周期表の15族から選ばれた元素の添加工程で使用するマスクとを共通化することで、製造プロセスが大幅に簡略化される。そのため、スループット、歩留り等が向上し、経済的に有益である。

【0105】さらに、本発明を用いて得られた結晶性膜は触媒元素の効果により結晶性が非常に優れ、かつ、ゲッターリング処理によりその触媒元素が除去または低減されている。そのため、半導体装置の活性層として利用した場合、優れた電気特性と高い信頼性とを備えた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 結晶性膜の形成工程を示す図。

【図2】 結晶性膜中のニッケル濃度を示す図。

【図3】 TFTの作製工程を示す図。

【図4】 TFTの作製工程を示す図。

【図5】 液晶表示装置の断面を示す図。

【図6】 液晶表示装置の上面を示す図。

【図7】 電子デバイスの一例を示す図。

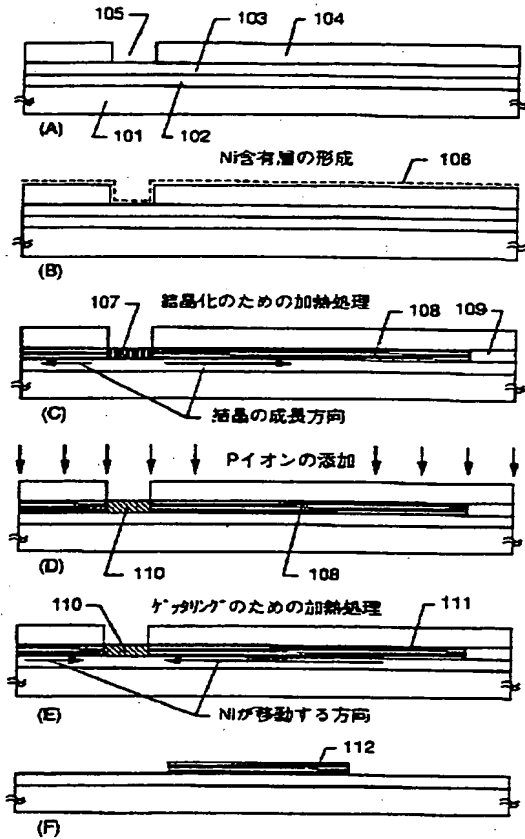
【符号の説明】

101 ガラス基板  
102 下地膜

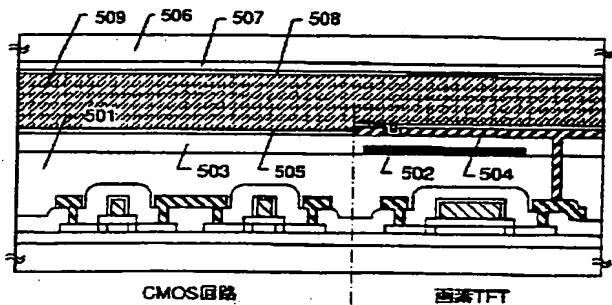
15

- 103 非晶質珪素膜  
104 絶縁膜  
105 開口部  
106 Ni含有層  
107 ニッケル添加領域

【図1】



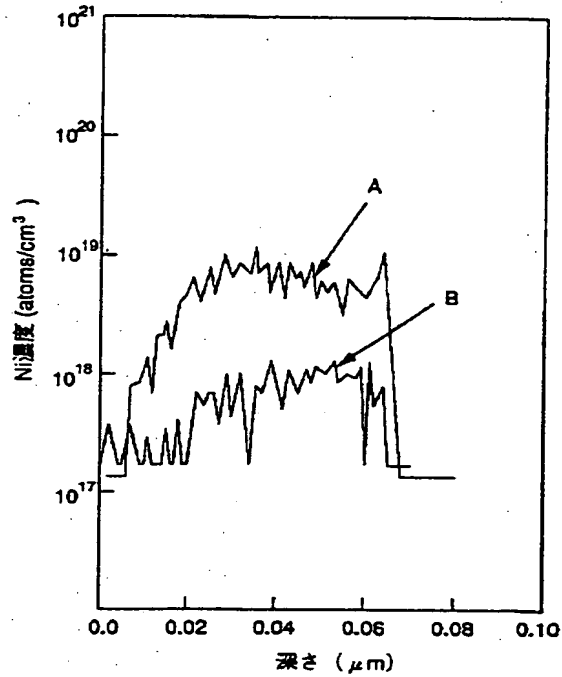
【図5】



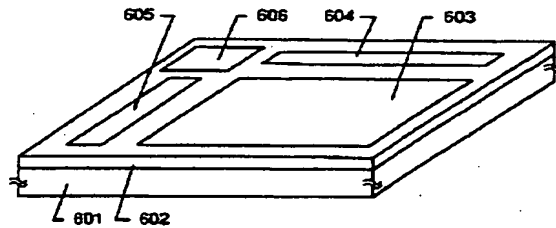
16

- 108 横成長領域  
109 非晶質領域  
110 リン添加領域  
111 ゲッタリング工程後の横成長領域  
112 島状の半導体層 (活性層)

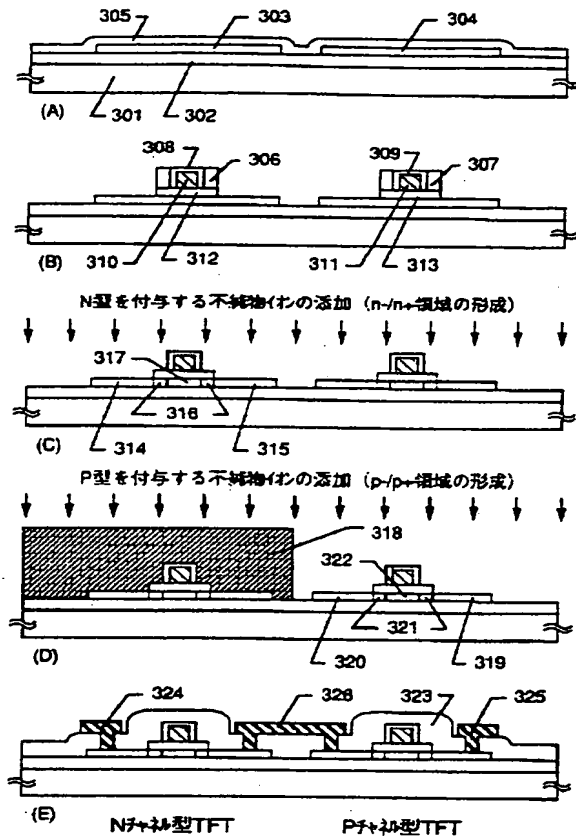
【図2】



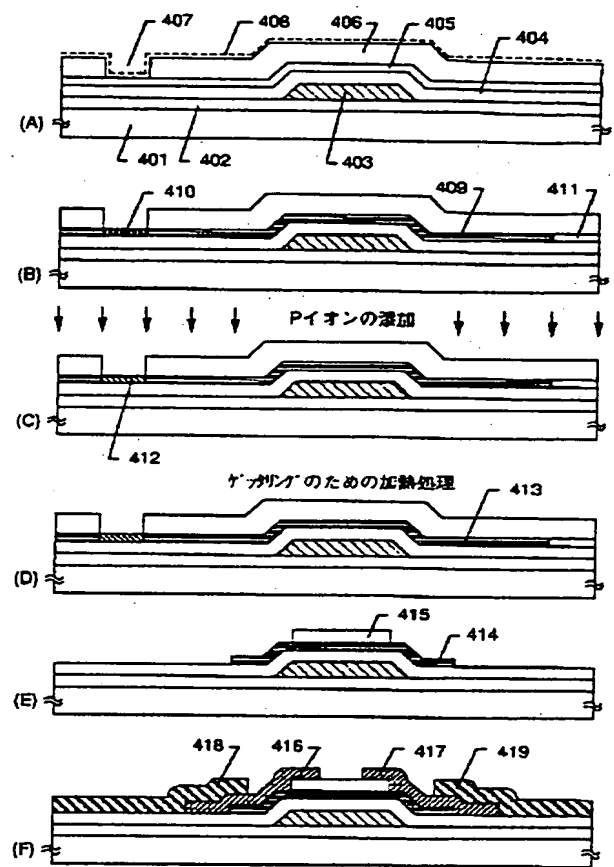
【図6】



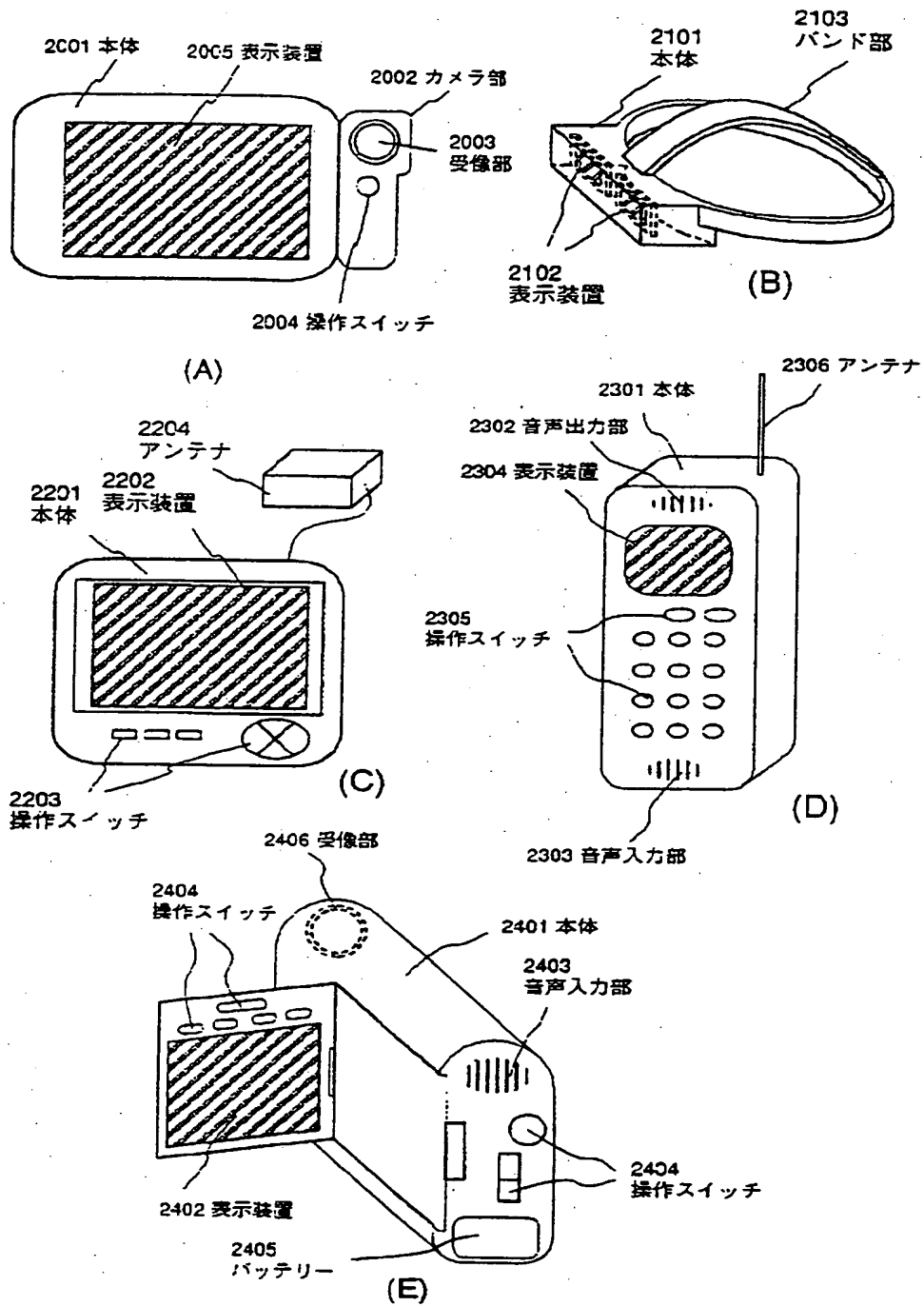
【図3】



【図4】



【図7】



## フロントページの続き

(56) 参考文献 特開 平8-264441 (J P, A)  
特開 平6-333825 (J P, A)  
特開 平1-281735 (J P, A)  
特開 昭63-136531 (J P, A)

## (58) 調査した分野 (Int. Cl. , DB名)

H01L 29/786

H01L 21/322

H01L 21/336

J I C S T ファイル (J O I S)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**